

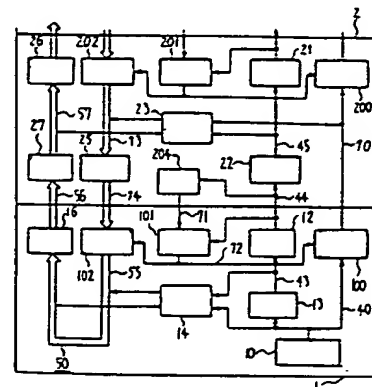
best Available Copy

**(54) COMMON BUS CONTROL SYSTEM**

(11) 3-88448 (A) (43) 12.4.1991 (19) JP  
 (21) Appl. No. 64-226023 (22) 30.8.1989  
 (71) NEC CORP(1) (72) ISAO HISADA(1)  
 (51) Int. Cl.<sup>5</sup>. H04L12/40, H04Q3/545

**PURPOSE:** To attain normal data transfer even when a delay difference between equipments reaches one clock or over by sending a synchronizing signal looped back from a loopback circuit provided to an equipment other than a basic equipment to a delay difference detection circuit.

**CONSTITUTION:** A loopback circuit 204 receiving a synchronizing signal 44 coming from a phase correction circuit 12 and sending to a younger number equipment 1 with loopback is provided to each equipment 2 other than the basic equipment 1. Then delay difference detection circuits 101, 201 receiving the synchronizing signal 44 sent to an older number equipment 2 and a loopback signal 71 received from the loopback circuit 204 of the older number equipment 2 and outputting a control signal 72 controlling synchronizing signal control circuits 100, 200 and timing adjustment circuits 102, 202 respectively are provided to all the equipments 1. Thus, even when a cable delay or the like between equipments is larger than one clock period of the basic clock, the data is sent/received normally.



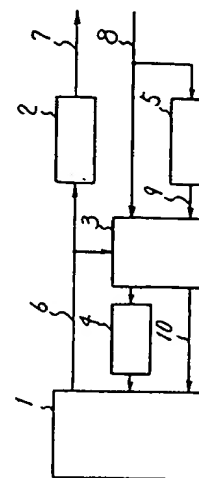
21, 22, 23, 26, 27, 13, 16: phase correction circuit. 23, 14: data transmission/reception section. 50: common bus. 10: synchronizing signal generating circuit

**(54) ACCESS CHANNEL CONTROL SYSTEM IN DEMAND ASSIGN COMMUNICATION SYSTEM**

(11) 3-88449 (A) (43) 12.4.1991 (19) JP  
 (21) Appl. No. 64-226038 (22) 30.8.1989  
 (71) NEC CORP (72) MAKOTO AIHARA  
 (51) Int. Cl.<sup>5</sup>. H04L12/40

**PURPOSE:** To improve the processing capability of a communication controller by validating only a communication channel use request received at first and invalidating a communication channel use request at 2nd and succeeding times.

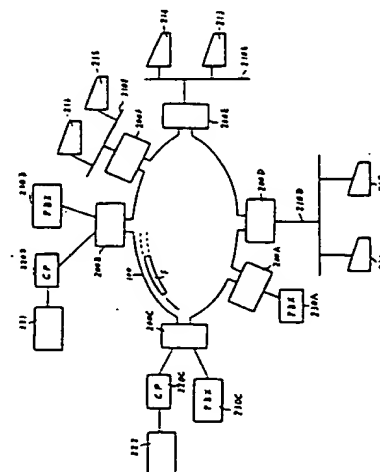
**CONSTITUTION:** An access channel control section of a communication controller consists of an access channel controller 1, an idle communication channel information transmission circuit 2, a communication channel operation request reception circuit 3, a reception buffer 4 storing the communication channel operation request and an error detection circuit 5 discriminating the normality of a reception data from a terminal equipment. The communication channel operation request only at the first time is validated and 2nd and succeeding communication channel operation requests are invalidated. Thus, it is not required to apply the reception processing of the communication channel operation request with the highest priority for the communication controller and to apply the reception processing of the invalid communication channel operation request thereby improving the processing capability of the communication controller.

**(54) COMMUNICATION EQUIPMENT**

(11) 3-88450 (A) (43) 12.4.1991 (19) JP  
 (21) Appl. No. 65-155231 (22) 15.6.1990 (33) JP (31) 89p.154599 (32) 19.6.1989  
 (71) HITACHI LTD(1) (72) YOSHIHIRO TAKIYASU(8)  
 (51) Int. Cl.<sup>5</sup>. H04L12/48, H04L13/08

**PURPOSE:** To attain reassembling of a message without causing abort of a reception cell due to a deficient memory area by utilizing the end of a data readout for a succeeding write cycle every time the data readout of one memory block is finished.

**CONSTITUTION:** A main trunk LAN is constituted by a transmission line 100 and plural nodes (communication equipments) 200A-200F connecting in a ring with the transmission line 100. In the readout of a cell data as to one message, a cell data is read out based on an address read from a readout address queue in the first cycle and a cell data is read based on a succeeding address pointer read in the preceding cycle from a buffer memory for succeeding cycles, and an address representing a memory block from which the cell data is read is released for write operation of the cell data received succeeding as an idle address. Thus, the message is reassembled without causing abort of the reception cell.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-88450

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月12日

H 04 L 12/48  
13/08

8948-5K  
7830-5K

H 04 L 11/20

Z

審査請求 未請求 請求項の数 8 (全18頁)

⑮ 発明の名称 通信装置

⑯ 特 願 平2-155231

⑰ 出 願 平2(1990)6月15日

優先権主張 ⑱ 平1(1989)6月19日 ⑲ 日本(JP) ⑳ 特願 平1-154599

㉑ 発 明 者 滝 安 美 弘 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 天 田 栄 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 出 願 人 日立マイクロコンピュータエンジニアリング 東京都小平市上水本町5丁目22番1号

株式会社

㉕ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

通信装置

2. 特許請求の範囲

1. 複数の送信元装置から送信され、それぞれが送信元アドレスを含むヘッダ領域と、メッセージを分割して得られた情報ブロックの1つを含むメッセージ情報領域とを有する複数の固定長パケットを受信し、同一送信元アドレスをもつ、複数のパケットから通信メッセージを再組立てするための通信装置であって、

パケットデータを格納するための複数のメモリブロックに分割されたバッファメモリ(66)と、

上記バッファメモリの空きメモリブロックを指すアドレスを記憶するための第1のメモリ手段(83)と、

送信元アドレス対応に、次に受信されるパケットのパケットデータを格納すべきメモリブロックを指す次アドレスポインタを記憶するため

の第2のメモリ手段(80)と、

送信元アドレス対応に、メッセージの先頭の情報ブロックを含むパケットデータが格納されているメモリブロックを指すアドレスを記憶するための第3のメモリ手段(81)と、

再組立が可能となったメッセージの最初の情報ブロックを含むパケットデータが格納されているメモリブロックを指すアドレスを記憶するための第4のメモリ手段(84)と、

複数の情報ブロックに分割して送信されたメッセージの最初の情報ブロックを含むパケットが受信された時、上記第1のメモリ手段から読み出した1つのアドレスを上記第3のメモリに記憶すると共に、該アドレスが指す空きメモリブロックに受信パケットのデータを格納し、上記第1のメモリ手段から読み出したもう1つのアドレスを、上記第2のメモリ手段と、上記パケットデータが格納されたメモリブロックとに記憶し、

上記メッセージの2番目以降の情報ブロック

を含むバケットが受信された時、上記第2のメモリ手段から読み出したアドレスが指すメモリブロックに受信バケットのデータを格納すると共に、もし上記受信バケットが上記メッセージの最後の情報ブロックを含むものでなければ、上記第1のメモリ手段から読み出した1つのアドレスを、上記第2のメモリ手段と、上記受信バケットのデータが格納されたメモリブロックとに記憶し、もし上記受信バケットが上記メッセージの最後の情報ブロックを含むものであれば、上記第3のメモリ手段から読み出したアドレスを上記第4のメモリに記憶する書き込み制御手段と、

上記第4のメモリ手段から読み出したアドレスが指すメモリブロックからメッセージの最初の情報ブロックを読み出し、各メモリブロックから読み出された次アドレスポインタに基づいて、メッセージの第2番目以降の情報ブロックを次々と読み出す読出し制御手段と、  
を備えたことを特徴とする通信装置。

- 3 -

送信元アドレスを含むヘッダ領域と、メッセージを分割して得られた情報ブロックの1つを含むメッセージ情報領域と、メッセージ内での情報ブロックの位置を示すコード領域とを有する複数の固定長バケットを受信し、同一送信元アドレスをもつ複数のバケットから通信メッセージを再組立するための通信装置であって、

バケットデータを格納するための複数のメモリブロックに分割されたバッファメモリ(66)と、

上記バッファメモリの空きメモリブロックを指すアドレスを記憶するための第1のメモリ手段(83)と、

送信元アドレス対応に、前回受信されたバケットのバケットデータが格納されているメモリブロックを指すアドレスを記憶するための第2のメモリ手段(80)と、

送信元アドレス対応に、メッセージの先頭の情報ブロックを含むバケットデータが格納されているメモリブロックを指すアドレスを記憶す

2、前記書き込み制御手段と前記読出し制御手段とが所定の動作サイクルで交互にバッファメモリをアクセスし、各動作サイクルで1つのメモリブロック分のバケットデータが処理されることを特徴とする第1請求項記載の通信装置。

3、第1請求項記載の通信装置において、更に、各受信バケットから前記メッセージ情報領域を抽出する手段を有し、該メッセージ情報領域の内容が、前記バケットデータとしてバッファメモリの各メモリブロックに格納されることを特徴とする通信装置。

4、第1請求項記載の通信装置において、前記書き込み制御手段が、受信されたバケットメッセージ全体の情報を含むものであった時、前記第1のメモリ手段から読み出した1つのアドレスを直接、または前記第3のメモリを介して前記第4のメモリに登録し、上記アドレスが指すメモリブロックに上記受信バケットのデータを格納する手段を有することを特徴とする通信装置。

5、複数の送信元装置から送信され、それぞれが

- 4 -

るための第3のメモリ手段(81)と、

再組立が可能となったメッセージの最初の情報ブロックを含むバケットデータが格納されているメモリブロックを指すアドレスを記憶するための第4のメモリ手段(84)と、

複数の情報ブロックに分割して送信されたメッセージの最初の情報ブロックを含むバケットが受信された時、上記第1のメモリ手段から読み出した1つのアドレスを上記第2、第3のメモリに記憶すると共に、該アドレスが指す空きメモリブロックに受信バケットのデータを格納し、

上記メッセージの2番目以降の情報ブロックを含むバケットが受信された時、上記第1のメモリ手段から読み出したアドレスが指す空きメモリブロックに受信バケットのデータを格納すると共に上記アドレスを上記第2のメモリ手段から読み出したアドレスが指すメモリブロック内の所定のメモリ領域に次アドレスポインタとして記憶し、もし上記受信バケットが上記メッ

- 5 -

- 432 -

- 6 -

セージの最初の情報ブロックを含むものであれば、上記第3のメモリ手段から読み出したアドレスを上記第4のメモリに記憶する書き込み制御手段と、

上記第4のメモリ手段から読み出したアドレスが指すメモリブロックからメッセージの最初の情報ブロックを読み出し、各メモリブロックから読み出された次アドレスポインタに基づいて、メッセージの第2番目以降の情報ブロックを次々と読み出す読み出し制御手段と、

を備えたことを特徴とする通信装置。

6. 第5請求項記載の通信装置において、前記書き込み制御手段は、前記第1のメモリ手段から読み出されたアドレスに定数を加算する手段を有し、メッセージの最初の情報ブロックを含むパケットが受信された時、該加算手段から出力されたアドレスが前記第2のメモリ手段に記憶され、メッセージの第2番目以降の情報ブロックを含むパケットが受信された時、上記第2のメモリ手段から読み出されたアドレスが指すパ

ケットの記憶領域に前記アドレスポインタとなるアドレスが記憶されるようにしたことを特徴とする通信装置。

7. 第5請求項記載の通信装置において、前記書き込み制御手段と前記読み出し制御手段とが所定の動作サイクルで交互にバッファメモリをアクセスし、各動作サイクルで1つのメモリブロック分のパケットデータが処理されることを特徴とする通信装置。

8. 第5請求項記載の通信装置において、各メモリブロックには、少なくとも、受信パケットに含まれるメッセージ情報領域の内容と、位置コード領域の内容とが格納され、前記読み出し制御手段が、各メモリブロックから読み出される位置コードから、各メッセージの最後を判断するようにしたことを特徴とする通信装置。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は、LANフレームやパケットフレーム等のバースト形の転送情報(又はメッセージ)を

- 7 -

単一あるいは複数の固定長パケットに分割し、伝送路上で複数のパケットを多重化して転送するようにした伝送システムのための通信装置に関し、特に、受信したパケットを元の転送情報に再組立するための装置構造とリアセンブリング方法に関する。

#### (従来の技術)

端末装置で発生する転送情報あるいはメッセージをLANノードで1つ、あるいは複数の固定長のデータブロックに分割(セグメンティング)し、該データブロックを含む固定長のパケット(以下、セルと言う)伝送路に送出し、一方、LAN伝送路から受信したセルを元のメッセージにリアセンブルする技術は、例えば、アイ・イー・イー・イー、ジャーナル オン セレクトッド エリアズ、エス、エー、シー-3、1985、815頁から824頁(IEEE, Journal on Selected Areas, Vol. SAC-3, No 6, 1985, pp. 815-824)に記載されているようなスロットドリングLANにおいて不可欠である。スロットドリングLAN

- 8 -

は、LAN伝送路に接続されている各ノードに、空き状態にあるスロットの自由な使用を許容することにより、同時に複数のノード間通信を可能にする。各LANノードは、LAN伝送路から受信される自ノード宛のセルを、セルに付された送信元アドレス別に一時的にバッファリングしておき、メッセージの最後のセルが受信された時、バッファリングしてある上記最終セルと同一送信元からの複数のセルを1つのメッセージにリアセンブルして、これを該ノードに収容されている端末装置あるいは支線LANに送出する。

1つのLANノードに異なる送信元から送出されたセルが集中した場合でも正常な通信ができるようにするためには、各ノードに、リアセンブル動作が完了する迄の間、全ての受信セルを一時的にストアできるだけの充分な容量をもつバッファメモリを用意しておく必要がある。例えば、n個のノードからなるLANにおいて、各ノードが端末装置からの受信メッセージを1メッセージずつLANに送信動作すると仮定した場合、各ノード

が同時に受信するメッセージの最大個数は  $(n-1)$  となる。

〔発明が解決しようとする問題点〕

端末装置から送信されるメッセージの最大長を  $M$  とすると、他の全ノードから同時に送信される最大長メッセージの packets を漏れなく受信するためには、少なくとも  $(n-1) \times M$  のメモリ容量が必要となる。この場合、各メッセージの先頭の packets を受信する毎に、長さ  $M$  のバッファメモリ領域を確保し、同一メッセージを構成する後続の受信 packets をメッセージ対応のバッファメモリ領域に格納する方法を採用すると、1つのメッセージの最後の packets が受信された後も、上記バッファメモリ領域から1メッセージ分の受信 packets の全ての読出し処理（リアセンブル）が終了するまでは、該バッファメモリ領域を次のメッセージの packets 受信用に使することができない。従って、メッセージ毎に最大長のバッファメモリ領域を割当てる方式で、バッファメモリからの packets データ読出し動作中に受信されるパ

ケットも漏れなくバッファメモリに格納するためには、 $(n-1) \times M \times 2$  に近いメモリ容量を用意しておく必要がある。

電子情報通信学会春季全国大会予稿（1989年）のB-486には、スロットリング LAN に、トークンによる送信権関停方法を採用したデータ通信方式が提案されている。上記データ通信方式では、LAN 伝送路上のマルチフレームに対して、各フレーム毎にトークンとデータ転送領域とを割当て、トークンを獲得したノードだけがデータ転送領域にデータを送出できるようにしている。また、各ノードには予めユニークなトークン番号が割当ててあり、送信元ノードは宛先ノードに対応した特定のトークンを獲得しない限り、通信できないようにしてある。従って、各ノードには同時に複数のメッセージが到着することではなく、メッセージのリアセンブルのためのバッファメモリの容量が少なくて済む。しかしながら、この方式では、各ノードは宛先ノードに対応したトークンを獲得しない限りデータを送信できない

11-

- 12 -

ため、1つのノードから長いメッセージが送信された場合、他のノードでの送信待ち時間が長くなり、実時間でデータ送信を必要とする音声や画像などの情報の送信と、一般のデータの送信とを同一の LAN 上で行なうマルチメディア通信には最適とは言えない。

本発明の目的は、受信 packets を格納するためのバッファメモリを有効に利用でき、メモリ領域不足による受信 packets の廃棄が発生しないようにした受信 packets をメッセージにリアセンブルするための通信装置を提供することにある。

本発明の他の目的は、各通信装置が送信メッセージを固定長の packets（セル）の形で宛先装置に送信し、宛先装置では遅延して到達する送信元の異なる複数のセルを順次に受信してメッセージに再組立するようにしたネットワークに適した受信セルのメッセージへの再組立装置を提供することにある。

〔問題点を解決するための手段〕

上記目的を達成するために、本発明では、各通

信装置（以下、単にノードと言う）が、各受信セルの全体データ、または、該受信セルの1部であるメッセージ情報ブロックを含む領域（以下、メッセージ情報領域という）を、バッファメモリ内の空き状態にある1つのメモリブロックに格納する。上記メモリブロックには、同一メッセージの次の情報ブロックをメッセージ情報領域に含むセルのデータが格納されるべきメモリブロックを指すアドレスを、次アドレスポインタとして記憶しておく。バッファメモリ内の空きメモリブロックを指すアドレスは、例えば、FIFO形式の第1のメモリに記憶してあり、メッセージの先頭の情報ブロックを含むセル（FIRSTセル）、あるいはメッセージの全体情報を含むセル

（SINGLEセル）が受信された時は、上記第1メモリから読み出されたアドレスが指すメモリブロックにセルデータが格納される。後続セルをもたないSINGLEセルのデータが格納されているメモリブロックには、次アドレスポインタの番込みは不要である。FIRSTセルのデータが

格納されるメモリブロックには、セルデータの次のメモリ領域に、上記第1メモリから読み出したもう1つのアドレスが次アドレスポインタとして格納される。

本発明では、上記アドレスポインタとして用いられたアドレスをメッセージ対応に記憶しておくための第2のメモリと、FIRSTセルのデータを格納したメモリブロックを指すアドレスをメッセージ対応に記憶するための第3のメモリと、再組立が可能となったメッセージの最初のセルデータが格納されているメモリブロックを指すアドレスを登録するための第4のメモリとを用いる。セルとメッセージとの対応関係は、各セルに含まれる送信元ノードアドレスにより判断できる。1つのメッセージの最後の情報ブロックを含むセル(LASTセル)、あるいは、1つのメッセージの最初の情報ブロックから最後の情報ブロックまでの間にあるいずれかの情報ブロックを含むセル(NEXTセル)が受信された時は、上記第2のメモリから読み出したポインタアドレスが指すメ

モリブロックにセルデータが格納される。受信セルがNEXTセルの場合は、FIRSTセルの場合と同様に、第1メモリから読み出した1つのアドレスが、次ポインタアドレスとして、上記メモリブロックおよび第2のメモリに記憶される。受信セルがLASTセルの場合は、FIRSTセルの場合と同様に、メモリブロックと第2メモリへの次アドレスポインタの記憶は不要である。

LASTセルが受信された時、このLASTセルと対応したFIRSTセルのデータを格納しているメモリブロックを指すアドレスが第3メモリから第4メモリに移される。SINGLEセルが受信された時は、第1メモリから読出されたアドレスが直接、あるいは、第3メモリを介して上記第4メモリに移される。

#### 〔作用〕

上述した次アドレスポインタの利用により、バッファメモリ上では、1つのメッセージの構成要素となる情報ブロックを記憶した複数のメモリブロックが、次アドレスポインタにより連鎖された

- 15 -

形となる。

本発明では、受信セルのデータをバッファメモリに書込む動作期間と、バッファメモリからのセルデータの読出し動作期間とを交互に設ける。第4メモリにアドレスが登録されていれば、第1メモリから読出した1つのアドレスに基づいて、バッファメモリ内の1のメモリブロックからセルデータと次アドレスポインタを読み出す。読出されたセルデータがSINGLEセルあるいはLASTセルのものであれば、次の読出しサイクルは、再び第4メモリから読出したアドレスに基づいてバッファメモリがアクセスされる。バッファメモリから読出したセルデータが、FIRSTセルあるいはNEXTセルのものであれば、バッファメモリから読出された次のアドレスポインタが指すメモリブロックに対して、次の読出しサイクルでのセルデータの読出しが行なわれる。これらの各読出しサイクルにおいて、セルデータの読出しが終わったメモリブロックは他のセルデータの書込みのために解放され、上記メモリブロックを指すアドレ

- 16 -

スが第1のメモリに登録される。

本発明によれば、1つのメッセージを構成する全てのセルデータの読出しが完了する前に、読出し動作の完了したメモリブロックをセル単位で解放するようにしているためメモリ領域を効率的に使うことができる。例えば、各ノードが端末装置、あるいは支線LANからの受信メッセージを1メッセージずつ送信処理した場合、宛先ノードでは、1つの送信元ノードにつき、最大値をもつ1メッセージ分(必要個数の次アドレスポインタを含む)のメモリ容量を用意すればよい。なぜなら、1つの送信元ノードから送出された次のメッセージについてのセルの受信と並行してバッファメモリからは前のメッセージのセルデータの読出しが行なわれることになるため、次々と生れる空きブロックに受信セルのデータを格納することができる。

#### 〔実施例〕

以下、本発明の実施例について図面を参照して詳細に説明する。

第1図は、本発明を適用するデータ伝送システ

- 17 -

- 435 -

- 18 -

ムの1例を示す図であり、伝送路100と、該伝送路100によりリング状に接続された複数のノード（通信装置）200A~200Fにより基幹LANが構成される。基幹LANでは、リング周回遅延/125μsecで決まる個数のフレームFが周回しており、各ノードは上記フレームFを利用して互いに通信する。この実施例では、1つのノード、例えば200Aがマスタノードとして機能し、他のノード200B~200Fがスレーブノードとして機能する。各ノードは、例えば支線LAN210（210D~210F）や、通信制御装置220（220B~220C）や、網内交換機PBX230（230A~230C）などの外部装置を接続するための1つ、あるいは複数の接続ポートを備える。211~216は支線ALN210D~210Fに接続された端末装置である。或る支線LANに収容されている端末装置が、他の支線LANに収容されている他の端末装置、あるいは通信制御装置200に接続されているホスト計算機221~222と通信する場合

は、通信データを伝送路100上でパケット多重するパケット交換方式により、データが伝送される。各PBX230は電話機や低速のデータ端末を収容しており、これらの装置からの送信データ（音声情報）は、回線交換方式により、伝送路100上で時分割多重される。

本実施例では、基幹LANの伝送路100における情報伝送速度を、公衆網におけるCCITT（国際電信電話諮問委員会）の標準伝送速度である155.52Mbpsと、ANSI（American National Standard Institute）標準のLANの伝送速度である100Mbpsとの公倍数に近い $155.52 \times n$ （nは偶数）に設計し、例えば、125μsecの期間毎に、第2図に示す270バイト×9カラムからなる16個のSONET（Synchronous Optical NET-Work）フレームFを1バイト単位で多重化することにより、 $155.52 \text{ Mbps} \times 16$ の伝送速度とする。この場合、物理的1本の伝送路100上に、論理的な16本の伝送路が形成され、各伝送路上に125

19-

μsecに1個の割合でSONETフレームFが伝送されることになる。

SONETフレームFは、各カラムが、9バイトのセグション・オーバーヘッド（SOH）領域11と、261バイトのバーチャル・コンテナ4（VC-4）領域12とからなる。上記SOH領域11は、例えば、フレーム同期パターンや、155.52Mbps単位の識別子（SONETフレームID）や、各ノードが送信する情報が実際に位置する領域であるコンテナの先頭位置を示すAUポインタなどのノード間通信制御情報を含んでいる。CCITT勧告草案G.707~709に記載されているSONET形式によれば、上記VC-4領域12には、公衆網の多重化装置で用いる制御情報を記憶するための1バイトのパスオーバーヘッド（POH）領域12'が割り当てられているが、この実施例では、上記POH領域を含むVC-4領域の全体を固定長パケット（セル）転送のための領域として利用する。

この実施例では、各セルは69バイトの長さを

- 20 -

有し、1つのSONETフレームのVC-4領域12に合計34個のセル（CELL-1~CELL-34）が配置され、残余の領域13は無効領域となる。また、各セルは5バイトのセルヘッダ14と、64バイトの情報部とからなり、上記情報部は、2バイトのアダプテーションヘッダ（AH）領域15と、60バイトのユーザ情報領域（INFO）16と、2バイトの情報チェックシーケンス（ICS）領域17とからなっている。INFO領域16の長さは、セルの長さに応じて変わる。

ヘッダ14は、例えば1バイトのアクセスコントロール領域（ACF）14Aと、4バイトのアドレス領域14Bとからなり、上記ACF14Aの最上位の1ビット（B）141はセルが使用中（B="1"）か未使用中（B="0"）かを示し、次の2ビット（S）142は上記情報部に書き込まれている情報の種別を示す。例えば、Sが"00"の場合は時分割多重を要求する情報、"10"はパケット多重を要求する情報であるこ

21-

とを示している。各ノードは、Bビットが“0”の未使用セルを用いて情報ブロックを送信し、Bビットが“1”に書き替えられている上記セルがリング伝送路100を1周して戻って来た時、上記Bビットを“0”に戻す、というスロットリングで従来一般に用いられてきたアクセス方法で情報の送受信を行なう。

ACF14Aの第4ビット(M)143は、使用中の状態となっているセルがリング伝送路を異常周回していることを検知するためのモニタビットであり、ACFの残余のビット144はリザーブ(予備)領域となっている。マスタノード200Aは、伝送路上を流れるBビット=“1”の全てのセルについて、Mビットを“1”に書き替える。送信元の各ノードは、自分が使用したセルがリングを1周して戻ってきた時、該セルのMビットを“0”に書き替える。

マスタノードと送信元の各ノードとが正常に動作している限り、マスタノードを通過する全てのセルはM=“0”となっているはずであり、送信

元ノードにはM=“1”のセルが戻って来るはずである。マスタノードは、(B, M)=(1, 1)のセルを受信すると、発信元のノードに異常が生じたものと判断し、上記受信セルのB, Mビットをそれぞれ“0”にリセットする。一方、各発信元ノードは、自分が使用したセルが(B, M)=(1, 0)の状態に戻って来た場合、マスタノードの動作に異常があったと判断する。この場合、各発信元ノードは、マスタノード異常動作の継続時間をモニタし、これが或る閾値時間を越えて継続した時、マスタノードを交代するための手順を実行する。

ヘッダ14のアドレス領域14Aは、セルの宛先となるノードのアドレス(DA)を示す領域145と、セルの送信元ノードのアドレス(SA)を示す領域146と、ヘッダの誤りを検出するためのヘッダチェックシーケンス(HCS)を示す領域147とからなっている。また、情報部のヘッダであるAH15は、INFO領域16に含まれる情報ブロックが送信メッセージのどの位置の

- 23 -

分割ブロックに相当しているかを示す2ビットの分割位置情報(ST)15Aと、リザーブ領域15Bとからなっている。送信メッセージの長さが60バイト以内の場合は、該メッセージは単一のセルで送信を完了できる。送信メッセージの長さが60バイトを超える場合は、60バイト単位の複数の情報ブロックに分割して送信される。ST15Aには、例えばINFO領域16に含まれる情報が複数に分割されたメッセージの先頭の情報ブロック(FIRST)の場合は“10”、最後の情報ブロック(LAST)の場合は“01”、途中の情報ブロック(NEXT)の場合は、“00”、単一の情報ブロック(SINGLE)の場合は“11”がセットされる。

第3図は、通信制御装置220に接続されたCPU221~222、あるいは支線LAN210に接続された端末装置211~216が送出するメッセージフレーム30のフォーマットの1例を示す。このメッセージフレームは、IEEEのLAN標準化委員会制定の

802.5に準拠したものであり、プリアンプル領域31、開始デリミタ(SD)領域32、フレーム制御(FC)領域33、宛先装置アドレス(DA)領域34、発信元装置アドレス(SA)領域35、情報領域36、フレームチェックシーケンス(FCS)領域37、終了デリミタ(ED)領域38、およびフレームステータス(PS)領域39からなる。上記メッセージフレーム30のうち、幹線LAN100で転送すべき情報は、FC領域33からFCS領域37までの情報であり、その長さは情報領域36によって異なり、一般的には、最大で4Kバイト、平均で200バイト程度である。

第1図に示したネットワークにおいて、通信制御装置220を介してホスト計算機を収容しているノード200Bと200C、および支線LAN210D~210Fを介して端末装置211~216を収容しているノード200D~200Fは、支線LANあるいは通信制御装置から受信したメッセージ30が他のノードに戻る

- 24 -

- 25 -



装置宛となっている場合、これらのメッセージを後述する送信フレームバッファに一旦バッファリングした後、これを60バイト単位の情報ブロックに分割(セグメンテーション)する。これらの情報ブロックは、セルヘッダ14、アダプテーションヘッダ15およびICS17を追加して所定フォーマットのセルに変換された後、SONETフレーム中の空きセル領域を利用して、パケット多重で幹線リング伝送路100に送出される。一方、伝送路100から受信されたSONETフレーム中のセル情報は、宛先ノードアドレスDA145により自ノードで受信処理(リアセンブリング)すべきものか否かを判断し、もし自ノード宛のセルであれば、該セルに含まれる送信元ノードアドレスSA146に対応させた形でバッファリングを行なう。すなわち、1つのノード宛に他の複数のノードが同時にメッセージを送信した場合、宛先ノードには異なるSA146をもつセルが混在して次々と受信されるため、各ノードは、受信セルのSAに基づいて、受信セルがどの

メッセージの構成要素かを判断しながら、受信セルのバッファリングを行ない、1つのメッセージを構成する全ての情報ブロックの受信が完了した時点で、メッセージの組立てと、組立てられたメッセージの支線LANあるいは通信制御装置への転送動作を行なう。

尚、各ノードが、支線LANあるいは通信制御装置からの受信メッセージを、その受信順序に従って、1メッセージずつセグメンテーション処理した場合、宛先ノードでは、上述したように、受信セルの送信元アドレスSAだけでメッセージの同一性を判断できる。しかしながら、もし送信元のノードが、2以上のメッセージを並列的にセグメンテーション処理し、異なるメッセージに属するセルを混在させて幹線LANへの送出動作を行なうようにした場合、各セルにはSA145の他にメッセージ識別のための特定のID(MID)を付しておく必要がある。この場合、MIDを、第2図に示したアダプテーションヘッダAHにあるリザーブ領域15Bに設定し、宛先ノードで、

- 27 -

受信セルに含まれるSA146とMIDの組み合わせにより、該受信セルがどのメッセージの構成要素となるかを判断するようにすればよい。

PBXを収容しているノード200A〜200Cは、SONETフレーム中のSビット="00"のセルを利用して、時分割多重でPBX間通信のための情報の送受信動作を行なう。Sビットへの"00"の設定は、マスタノード200Aが、PBX間通信に必要となる伝送帯域に応じた個数のセルについて、予め行なっておく。これによって、幹線LANのSONETフレームを時分割多重とパケット多重の両方に共用した通信ができる。

第4図は、上述したSONETフレームを利用して時分割多重通信とパケット多重通信の両機能を備えたノード200の構成の1例を示す。ノード200は、幹線LAN伝送路200から受信される155.52×16Mbpsの信号を16チャンネルに分離し、各チャンネル毎に再生されるSONETフレームから抽出したセル情報を信号

- 28 -

線CI-1〜CI16を介してスイッチユニット20に送り込むための分離ユニット21と、スイッチユニット20から信号線CO-1〜CO-16に出力されたセル情報をチャンネル毎のSONETフレームに組み立てると共に、16個のSONETフレームの構成情報を1バイト単位で時分割多重して伝送路100に送出する多重化ユニット22と、PBX230に代表される同期系装置を収容するための同期ポート27と、支線LAN210に代表される非同期システムを収容するための非同期ポート28と、155.52MHz±320ppmの基本クロックを発生するパルス発信器35とから構成される。

スイッチユニット20は、信号線CI-1〜CI-16から入力されるセルのうち、自ノード宛の時分割多重セル(S="00")は信号線25Aを介して同期ポート27に、自ノード宛のパケット多重セル(S="10")は信号線26Aを介して非同期ポート28に出力し、それ以外のセルは入力信号線CI-1〜CI-16と

対応した出力信号線CO-1~CO-16に出力する。また、同期ポート27から信号線25Bを介して入力された同期情報セル、および非同期ポート28から信号線26Bを介して入力された非同期情報セルを、それぞれ宛先ノードに応じた出力信号線CO-1~CO-16に出力する。尚、25C、26Cはそれぞれスイッチユニット20とポート27、28との間のデータ送受信制御のための信号線、90は非同期ポートに接続された支線LANアクセス用のインタフェース・ユニットを示す。

上記第4図に示したノードの構造と動作についての詳細は、本出願人による特願昭63-218310号、および特願平1-13910号の明細書に記述してあるため、ここでの詳細説明は省略する。

第5図は、同期ポート28の構成を示すブロック図である。同期ポートは、スイッチユニット20から信号線26Aを介して入力される受信セルをメッセージに組み立てるためのリアセンブルユニット51と、上記リアセンブルユニットから

出力される受信メッセージを一時的にストアする受信フレームバッファと、支線LANアクセスユニット90から入力される送信フレームを一時的にストアする送信フレームバッファ53と、上記送信フレームバッファから順次に取り出した送信メッセージを60バイト単位に分割し、第2図に示したフォーマットのセルを形成して信号線36Bに出力するためのセグメンテーションユニット54とからなる。

第6図に、本発明によるリアセンブルユニットの1実施例を示す。

スイッチユニット20から8ビット単位で送り出されるセルデータは、信号線26Aを介してセル受信ユニットに順次に入力された後、バス幅変換回路62と、ヘッダ処理ユニット63に入力される。上記セル受信ユニット61は、セルデータの入力に同期して、制御信号R/W、CL、T<sub>0</sub>、~T<sub>15</sub>、およびENを発生する。制御信号ENは、INFO領域16を構成するセルデータがバス幅変換回路62に供給されている間に“1”となる

- 31 -

信号であり、バス幅変換回路62は、上記制御信号ENが“1”の期間に供給される8ビット(1バイト)のセルデータを取り込み、4バイト(32ビット)単位のセルデータをファーストイン・ファーストアウト(FIFO)バッファ64に送り込む。ヘッダ処理ユニット63は、入力されたセルデータから、SA領域146とST領域15Aとを抽出し、送信元ノードアドレスSAと、情報ブロックの位置を示す信号S(Single)、F(First)、N(Next)、L(Lost)を発生する。

FIFO64に格納されたセルデータは、バッファメモリ66のリードサイクル(R=“1”の期間)に順次に読出され、R/W信号で制御されるスイッチ65を介してバッファメモリ66に書込まれる。

上記バッファメモリ66は、例えば第7A図に示す如く、ブロックアドレスB<sub>0</sub>~B<sub>n</sub>で指定される32ビット幅のn個のブロック66-1~66-nに分割され、各ブロックは、第7B図に示す如く、ブロック内アドレスA<sub>00</sub>~A<sub>15</sub>をもつ16

- 32 -

個の記憶領域6600~6615からなっている。ここで、先頭のブロック内アドレスA<sub>00</sub>は、任意のブロックアドレスB<sub>i</sub>と同一の記憶領域6600を指している。

本実施例では、1つのメッセージから分割された情報ブロックを含むセルを受信した時、該受信セルのデータを記憶するバッファメモリ内の1つのブロックの最後の記憶領域6615に、上記メッセージから分割された次の情報ブロックを含む次の受信セルのデータを記憶するための空きブロックを示す次アドレスポインタ(ブロックアドレス)を記憶しておくことを特徴とする。バッファメモリ66の書き込みアドレスは書き込みアドレス発生回路70から与えられ、バッファメモリの読出しアドレスは読出しアドレス発生回路71から与えられ、これらのアドレスの切替えは、R/W信号で制御されるスイッチ69により行なわれる。

上述したメッセージ対応の次アドレスポインタの管理を行なうために、本実施例では、セル発信元のノードアドレスSAに対応して次アドレスポ

- 33 -

- 439 -

- 34 -

インタとなるブロックアドレスを記憶しておくためのレジスタ (S A-T A B L レジスタ) 80 と、上記ノードアドレス S A に対応して、メッセージの先頭のセルが格納されているブロックアドレスを記憶しておくためのレジスタ (P A-T A B L レジスタ) 81 と、バッファメモリ 66 内の空き状態にあるブロックアドレスを記憶しておくためのメモリ (V-C H A I N メモリ) 83 と、バッファメモリ 66 への全てのセルデータの格納が完了し、リアセンブリングのための読出が可能となったメッセージの先頭セルが格納されているブロックのアドレスを記憶しておくためのメモリ (R A-Q U E U E メモリ) 84 とを用いる。上記メモリ 83 と 84 は、P I F O 形式で空きアドレスまたは読出しアドレスを記憶している。

メモリバッファ 66 へのセルデータの書込み動作は次のようにして行なわれる。

スイッチングユニット 20 から、1つのセルを構成するセルデータが 8 ビット単位でリアセンブ

ルユニット 51 に順次に供給されると、このうちの I N F O 領域 16 を構成するセルデータが、バス転換回路 62 を介して F I F O に入力される。また、受信セルの S A 領域 146 および S T 領域 15 A が、ヘッダ処理ユニットによりデコードされ、メッセージ中で上記受信セルの I N F O 領域に含まれる情報ブロックが占める位置に応じた制御信号 S, P, N, または L と、送信元ノードアドレス信号 S A が出力される。

受信セルが S I N G L E または F I R S T の情報ブロックを含む場合 (以下、単に S I N G L E セル、F I R S T セルと言う) 制御信号 P または S が "1" となり、書き込みサイクルの最初に発生する制御パルス T<sub>0</sub> のタイミングで V-C H A I N メモリ 83 から空きアドレス B<sub>i</sub> が読出される。ゲート 85~87 からなる回路は、V-C H A I N メモリの読出し制御回路である。

上記空きアドレス B<sub>i</sub> は、AND ゲート 91 を介して書込みアドレス発生回路 70 に入力されると共に、P A-T A B L レジスタ 81 内の S A

に対応したエントリに記憶される。上記書込みアドレス発生回路 70 は、書き込みサイクルにおいて、上記アドレス B<sub>i</sub> を初期値として、バッファメモリ 66 の書込みアドレス W A となる前述のブロック内アドレス A<sub>00</sub>~A<sub>11</sub> を、クロック C L に同期して順次に発生する。書込みアドレス W A と、制御信号 R/W, C L, T<sub>0</sub> の関係は、第 8 図のようになっている。

受信セルが F I R S T セルの場合は、内部アドレス A<sub>11</sub> の発生と同期したパルス T<sub>0</sub> のタイミングで、V-C H A I N メモリ 83 から次アドレスポインタとなるべき空アドレスが読み出され、AND ゲート 93 を介して S A-T A B L レジスタ 80 内の S A に対応したエントリに記憶される。また、上記次アドレスポインタは、AND ゲート 94 とスイッチ 65 を介して、バッファメモリ 66 のデータ入力線に供給され、ブロック B<sub>i</sub> の最後の記憶領域に書込まれる。V-C H A I N メモリ 83 から読出した次アドレスポインタのバッファメモリ 66 への書込み動作と、S A

-T A B L レジスタ 80 への記憶動作は、受信セルが N E X T セルの場合も上記と同様に行なわれる。受信セルが、次のセルへのチェインを必要としない S I N G L E セル、または L A S T セルの場合は、V-C H A I N メモリ 83 からの次アドレスポインタの読出しは行なわれず、その代りに、零アドレス発生回路 98 から発生した零アドレス値が AND ゲート 95 を介してバッファメモリ 66 に入力され、アドレス A<sub>11</sub> のメモリ領域に書込まれる。また、受信セルが S I N G L E セル、または L A S T セルの場合、パルス T<sub>0</sub> のタイミングで、P A-T A B L レジスタ 81 内の S A に対応したエントリから、セルデータの書出し開始位置を示すアドレスが読み出され、R A-Q U E U E メモリ 84 に登録される。

受信セルが N E X T セル、または L A S T セルの場合、セルデータを書込むべきブロックのアドレスは、既に S A-T A B L レジスタ 80 に記憶されている。従って、この場合はパルス T<sub>0</sub> のタイミングで S A-T A B L レジスタ 80 から

読出された次アドレスポインタの値が、ブロックアドレスB<sub>i</sub>として書込みアドレス発生回路70に入力され、該ブロックアドレスB<sub>i</sub>を初期値としたブロック内アドレスA<sub>00</sub>~A<sub>15</sub>が順次に発生する。

バッファメモリ66からのセルデータの読出しは、読出しサイクル(R="1"の期間)において次のように行なわれる。

受信メッセージの全てのセルデータがバッファメモリ66に格納済みの状態、即ち、SINGLEセルまたはLASTセルのセルデータがバッファメモリに格納済みであれば、上記メッセージの先頭のセルデータのアドレスB<sub>i</sub>はRA-QUEUEメモリに登録されている。ANDゲート97はRA-QUEUEメモリの読出し制御を行なう。読出しサイクルで、制御信号74が"0"、且つRA-QUEUEメモリにデータ(アドレスB<sub>i</sub>)が存在する場合、FIFO形式でアドレスB<sub>i</sub>が読出され、読み出され、読出しアドレス発生回路71に入力される。また、該アドレスB<sub>i</sub>は、そ

の後のセルデータの書込み動作に使用できるようにV-CHAINメモリ83に登録される。

読出しアドレス発生回路71は、書込みアドレス発生回路70と同様に、読出しサイクルの期間中に、ブロックアドレスB<sub>i</sub>を初期値として、読出しアドレスWAとなるブロック内アドレスA<sub>00</sub>~A<sub>15</sub>を順次に発生する。従って、読出しサイクルでは、バッファメモリ66内のアドレスA<sub>00</sub>~A<sub>15</sub>で指定されるメモリ領域の内容が順次に信号線67に読み出され、バス駆動回路72と次アドレス抽出回路73に入力される。バス駆動回路72は、T<sub>00</sub>~T<sub>15</sub>の期間(信号R<sub>1</sub>では指示される)に入力される32ビットの各セルデータを8ビット単位で次々と受信フレームバッファ52に出力する。次アドレス抽出回路73は、読出しサイクル(R="1")で信号線67に出力されるデータを監視しており、パルスT<sub>00</sub>のタイミングで入力される次アドレスポインタの値が零アドレスでない場合、RA-QUEUEメモリ84からのアドレスB<sub>i</sub>の読み出しを禁止する

- 39 -

メモリ84からのアドレスB<sub>i</sub>の読み出しを禁止するための制御信号を信号線74に出力すると共に、上記次アドレスポインタの値を、読出しアドレス発生回路71とV-CHAINメモリ83に入力する。上記構成により、次の読出しサイクルでは、次アドレスポインタが示すブロックからセルデータが読み出される。1つのメッセージの最後のデータ(SINGLEセル、またはLASTセル)を格納しているメモリブロックの読出しサイクルでは、次アドレスポインタの値が零となっている。この場合、次アドレス抽出回路73は、信号線74に、RA-QUEUEメモリ84の読出しを可能にする信号を出力するから、次の読出しサイクルでは、RA-QUEUEメモリ84から読出された新たなブロックアドレスB<sub>i</sub>に基づいて、次のメッセージを構成するセルデータの読出し動作が繰り返されることになる。

上記の実施例では、バッファメモリ66のメモリ容量を利用するために、各セルの構成要素のうちINFO領域16だけをバッファメモリに格納

- 40 -

したが、セルヘッダ14、アダプテーションヘッダ15、あるいはICS17など、INFO領域以外のセルデータもバッファメモリ66に一旦格納しておき、これらを読出した時点で不要なセルデータを除去するようにしてもよい。また、上記実施例では読出しサイクルでSINGLEセルとLASTセルを他のセル(FIRSTセル、NEXTセル)と識別するために、SINGLEセルまたはLASTセルを格納するメモリブロックの次アドレスポインタ領域に零アドレスを書き込むようにしたが、各受信セルに含まれているST領域15AをINFO領域16と共にバッファメモリ66に格納しておき、読出しサイクルで上記ST領域の値により1つのメッセージの最後のデータブロックか否かを判断するようにしてもよい。

第9図は本発明によるリアセンブルユニット51の値の実施例を示す図である。

この実施例は、セルが受信されている都度、該セルを書込むためのメモリブロックの空アドレス

B<sub>i</sub>をV-CHAINメモリ83から取り出し、該アドレスB<sub>i</sub>を、既にバッファメモリにセルデータが書き込み済みとなっている先行セルのメモリブロックに次アドレスポインタとして追加するようにした点に特徴がある。

この実施例では、FIRSTセル、またはSINGLEセルが受信された時点では、メモリブロックにセルデータのみを書込み、次アドレスポインタ領域には何も書き込まない。メモリブロックのアドレスB<sub>i</sub>は、SINGLE、FIRST、NEXT、LASTのいずれの場合も、V-CHAINメモリ83から読み出した空きアドレスを用いる。受信セルが、FIRSTセルまたはNEXTセルの場合は、後続するNEXTセルまたはLASTセルの受信時に、該後続セルのブロックアドレスを次アドレスポインタとして追加書き込みする。本実施例では、SA-TABLEレジスタ80が、上記次アドレスポインタを書き込むべきバッファメモリ上のアドレスを記憶するために用いられる。すなわち、FIRSTセルまたは

NEXTセルが受信された時、V-CHAINメモリ83から読み出されたメモリブロックアドレスB<sub>i</sub>が、ANDゲート93を介して、定数加算回路98に入力される。定数加算回路98の出力は、上記メモリブロック内の次アドレスポインタ格納領域のアドレス(A<sub>i</sub>)となっており、これがSA-TABLE80内のSAに対応したエントリに記憶される。但し、SA-TABLEレジスタ80にブロックアドレスB<sub>i</sub>をそのまま記憶しておき、該レジスタから読み出されたアドレス値に定数を加算するようにしてもよい。

バッファメモリ66の書き込みアドレスWAは、第6図の実施例と同様に、書き込みアドレス発生回路から出力されるが、受信セルがNEXTセル、またはLASTセルの場合、次アドレスポインタを先行セルのメモリブロックに追加書き込みするために、セルデータの書き込みが終了した時点

(T<sub>i</sub>)で、SA-TABLE80から上記先行セルのアドレス(A<sub>i</sub>)を読出し、書き込みアドレス発生回路70に入力する。セル受信時にV

- 43 -

-CHAINメモリから読み出されたアドレスB<sub>i</sub>は、ラッチ回路99に保持してあり、書き込みアドレス発生回路70からアドレスA<sub>i</sub>が出力される時点で、上記ラッチ回路99のアドレスB<sub>i</sub>がANDゲート94を介してバッファメモリ66に入力される。

この実施例では、セルデータ読出しサイクルにおけるメッセージの最終データブロックの判定のために、STコードを利用する。すなわち、セルデータ受信ユニット61に、AH領域15とINFO領域16のデータ受信期間に制御信号EN'を"1"にさせることにより、STコードを含むAH領域15のセルデータとINFO領域16のセルデータとがバッファメモリ66に格納されるようにする。この場合、各セルのINFO領域16の長さを、第1実施例の場合よりAH領域の長さ(2バイト)だけを短い58バイトにすると、ブロック内アドレスの発生は第1実施例と同一でよく、メモリ空間を無駄なく利用できる。但し、ブロックアドレスB<sub>i</sub>の複雑化や、各プロ

- 44 -

ック内におけるメモリ領域の多少の無駄使いを許容すれば、各セルの上記INFO領域のサイズは任意に設定できる。

セルデータの読出しサイクル(R="1"期間)でバッファメモリ66から信号線67に読出された32ビットのデータはバス幅変換回路72により8ビット幅に変換された後、領域抽出回路75に入力され、先頭の2バイトのセルデータ(AH領域)が除去され、その後に入力される58バイトのセルデータ(INFO領域)が受信フレームバッファ52に送られる。一方、信号線67上の32ビットデータは次アドレス抽出回路73'にも入力される。上記次アドレス抽出回路73'は、リードサイクルの最初に入力されるデータに含まれるSTコードがFIRSTセルまたはNEXTセルを示す場合は、信号線74をオンにし、SINGLEセルまたはLASTセルを示す場合は信号線74をオフにする。次アドレス抽出回路73'のその他の機能は第1実施例と同様である。以上の説明から明らかな如く、本発明によれば、

- 45 -

-442-

- 45 -

バッファメモリ66の空きメモリブロックにセルデータを次々と格納するようにし、各メモリブロックに、同一のメッセージに属する後続セルデータが格納されるブロックアドレスを示す次アドレスポインタを記憶すると共に、各メッセージ毎に先頭セルのデータが格納されているブロックアドレスをF A - T A B Lレジスタに記憶しておき、1つのメッセージの最後のセルのデータがバッファメモリに格納された後は、該メッセージの先頭セルデータを格納しているメモリブロックアドレスを読出しアドレス・キュー(R A - Q U E U E)に登録するようにしている。また、1セル分のセルデータのバッファメモリへの書き込みサイクルと、1セル分のセルデータの読出しサイクルとを交互に設け、1つのメッセージについてのセルデータの読出しは、最初のサイクルではR A - Q U E U Eから読出したアドレスに基づいてセルデータを読出し、それ以後のサイクルでは、バッファメモリから前読出サイクルで読出された次アドレスポインタに基づいてセルデータを読出すようし、セル

データが読出されたメモリブロックを示すアドレスは、空きアドレスとしてその後に受信されるセルデータの書き込み動作に解放するようにしている。

#### 〔効果〕

本発明によれば、1つのメモリブロックのデータ読出しが終る毎に、これを次の書き込みサイクルで利用することができるため、メモリバッファのメモリ容量を、(最大長メッセージに要するメモリブロック数) × (セル送信元ノード数)に設計しておけば、メモリ領域不足による受信セルの廃棄を起すことなく、メッセージのリアセンブルを行なうことができる。

また、バッファメモリ66のメモリ容量を上記計算値よりも大きく設計しておけば、バッファメモリ66からのセルデータの読出しを、文線LANアクセス装置90からの読出し要求に応じて行なわせることができ、これにより、受信フレームバッファ52のメモリ容量を小さくすることが可能となる。

- 47 -

#### 4. 図面の簡単な説明

第1図は本発明を適用するネットワークシステムの1例を示す図、第2図は、上記ネットワークシステムにおける幹線LAN伝送路上の通信フレームの形式とセル(固定長パケット)のフォーマットの1例を説明するための図、第3図は、上記ネットワークシステムにおける支線LAN上の通信フレーム(メッセージ)のフォーマットの1例を説明するための図、第4図は第1図におけるノード200の構成の1例を示す図、第5図は、第4図における非同期ポート28の構成の1例を示す図、第6図は、本発明を適用した第5図におけるリアセンブル・ユニット51の構成の1例を示す図、第7A図と第7B図は、第6図におけるバッファメモリ66のアドレスと、記憶内容を説明するための図、第8図は、上記バッファメモリ66をアクセスするための主要な制御信号を説明するための図、第9図は、本発明を適用したリアセンブル・ユニット51の他の実施例を示す図である。

#### 符号の説明

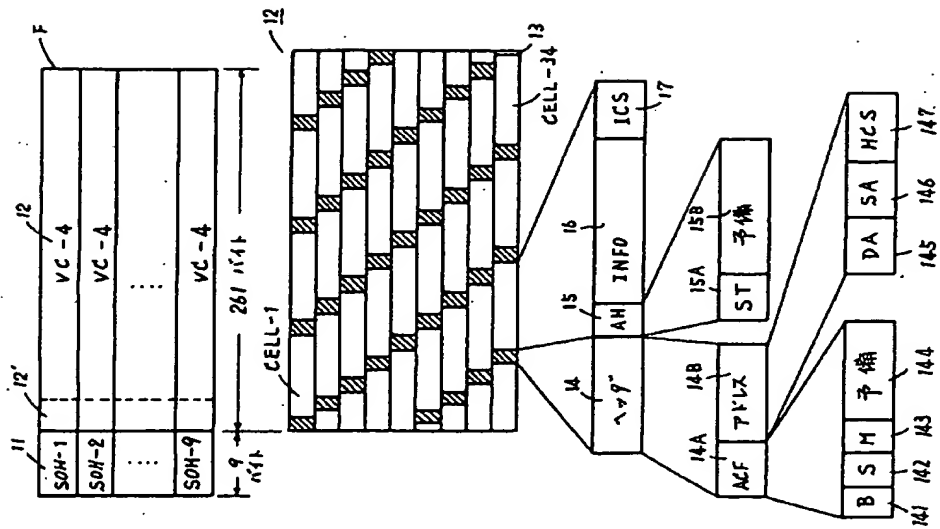
- 48 -

200(200A~200F)…通信装置(ノード)、21…分離ユニット、22…多重化ユニット、20…スイッチユニット、27…同期ポート、28…非同期ポート、51…リアセンブルユニット、52…受信フレームバッファ、53…送信フレームバッファ、54…セグメンテーションユニット、66…バッファメモリ、70…書き込みアドレス発生回路、71…読出しアドレス発生回路、80…S A - T A B Lレジスタ、81…F A - T A B Lレジスタ、83…V - C H A I Nメモリ、84…R A - Q U E U Eメモリ。

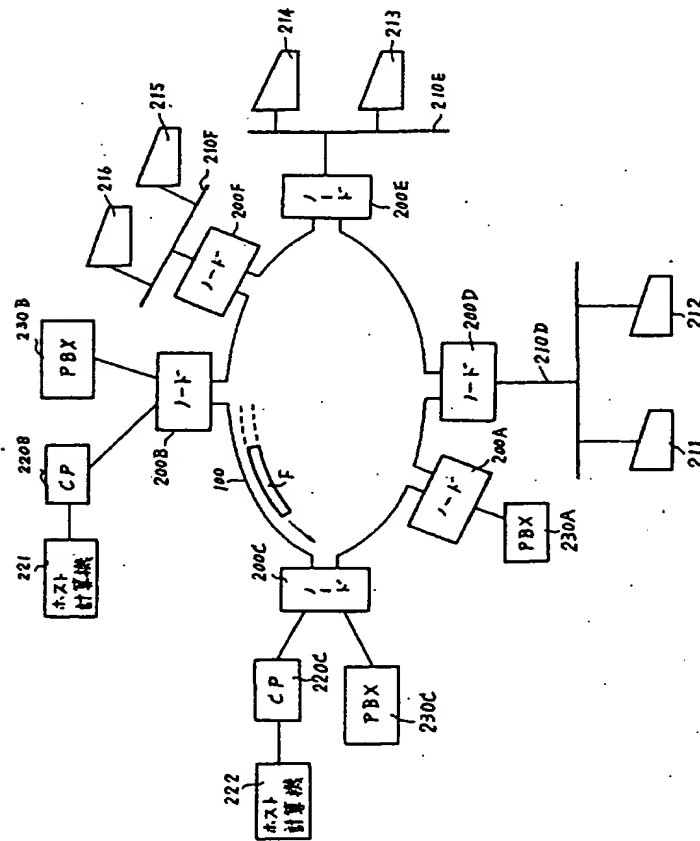
代理人 井理士 小 川 勝



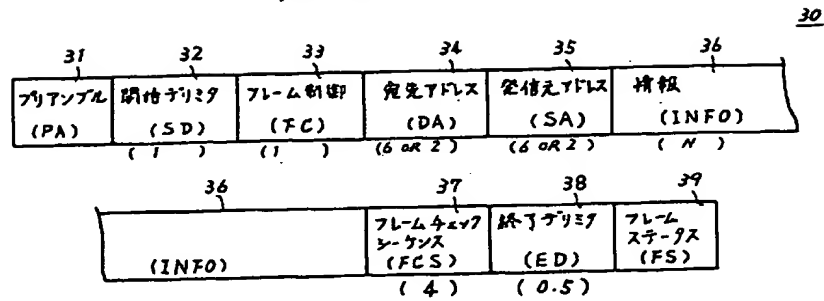
第2図



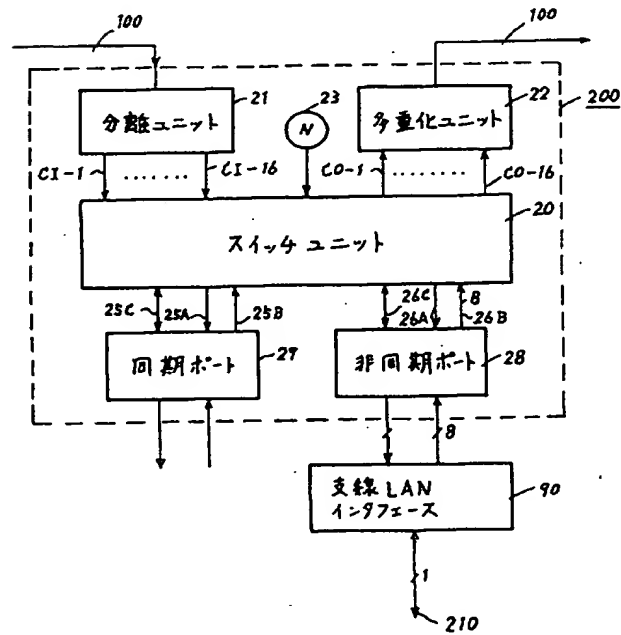
第1図



第3図

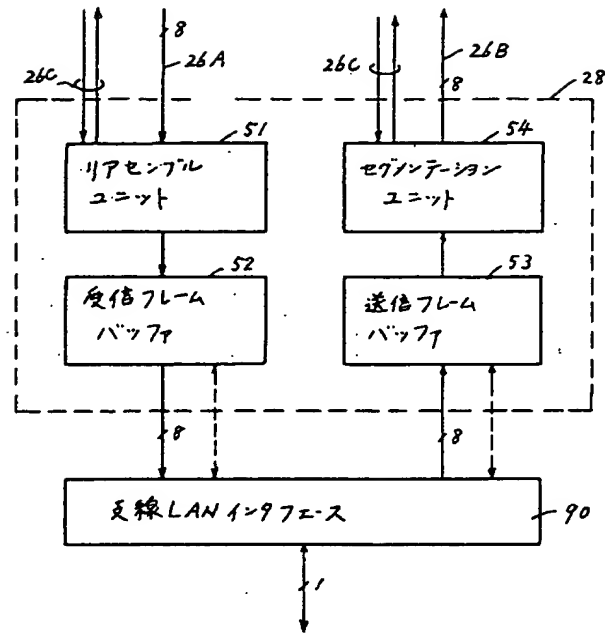


第4図

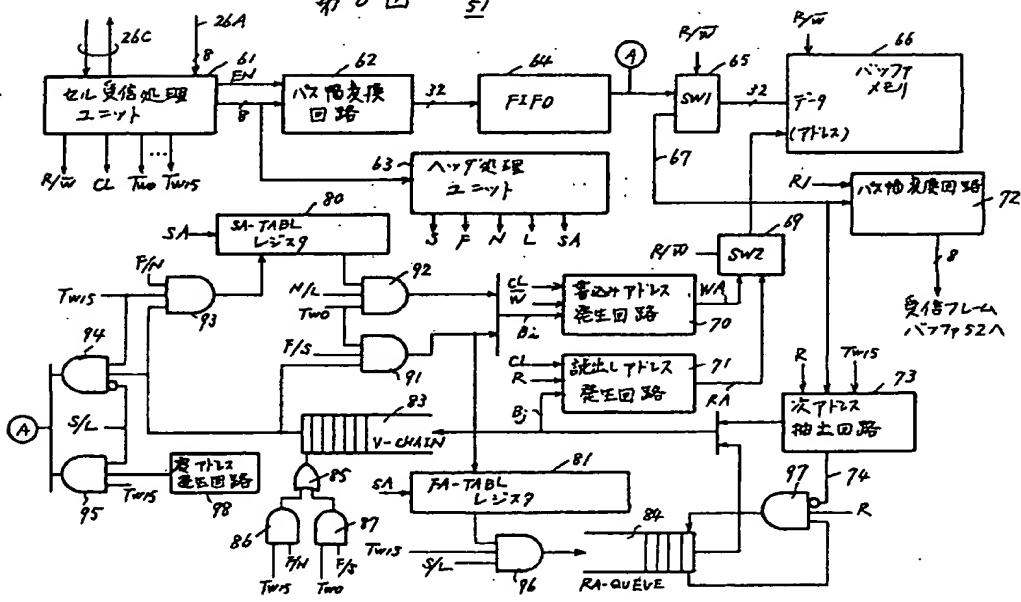




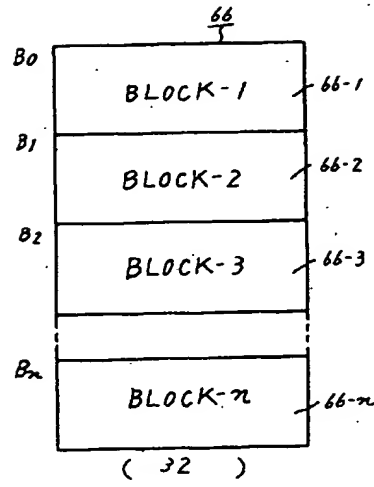
第 5 図



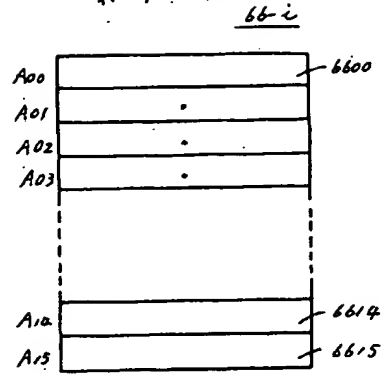
第 6 図 51



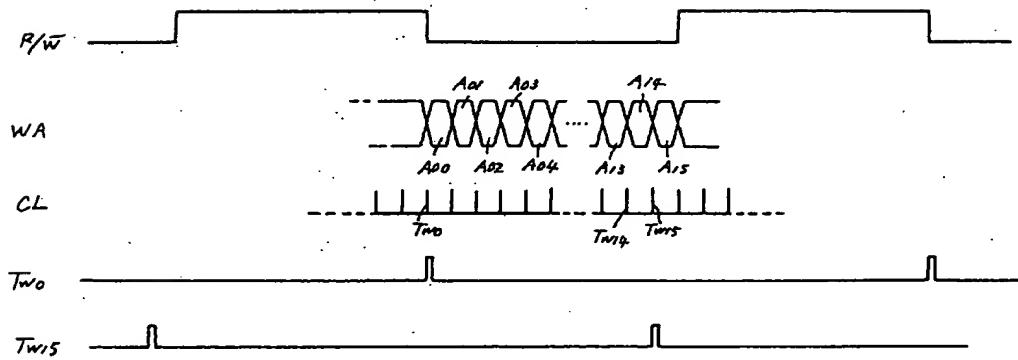
第 7 A 図

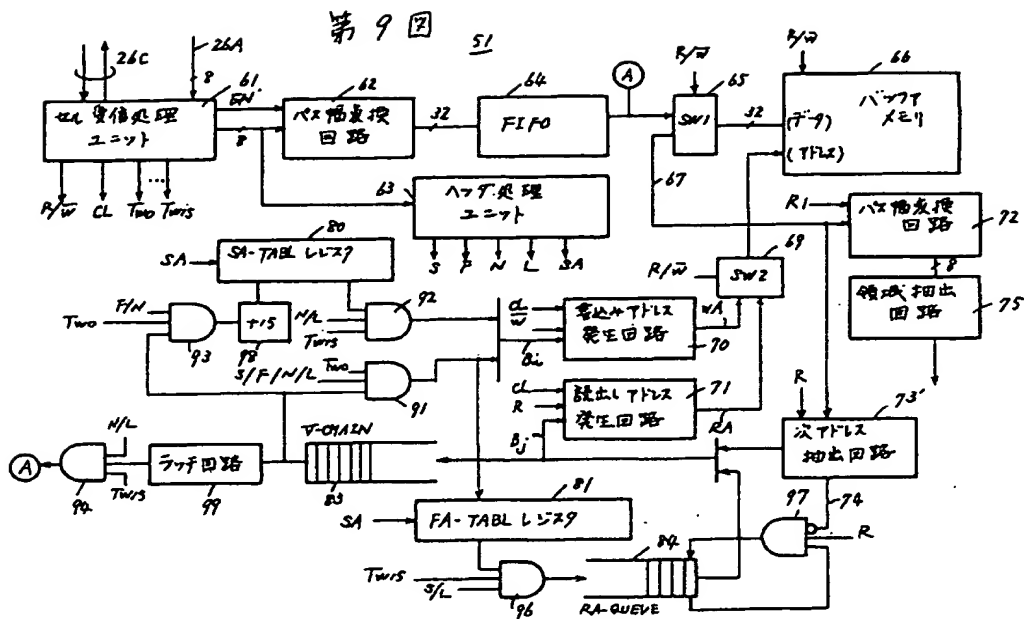


第 7 B 図



第 8 図





第 1 頁の続き

⑫発 明 者	中 村	和 則	東京都小平市上水本町 5 丁目 22 番 1 号	日立マイクロコンピュータエンジニアリング株式会社内
⑬発 明 者	高 田	治	神奈川県川崎市麻生区王禅寺 1099 番地	株式会社日立製作所システム開発研究所内
⑭発 明 者	山 鹿	光 弘	神奈川県秦野市堀山下 1 番地	株式会社日立製作所神奈川工場内
⑮発 明 者	重 左	秀 彦	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内
⑯発 明 者	小 林	直 哉	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内
⑰発 明 者	平 山	悟	東京都小平市上水本町 5 丁目 22 番 1 号	日立マイクロコンピュータエンジニアリング株式会社内
⑱発 明 者	飯 山	竜 任	東京都小平市上水本町 5 丁目 22 番 1 号	日立マイクロコンピュータエンジニアリング株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**